

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-169061

(43)Date of publication of application : 14.06.1994

(51)Int.Cl.

H01L 27/04

H01L 27/06

(21)Application number : 04-027295

(71)Applicant : RICOH CO LTD

(22)Date of filing : 17.01.1992

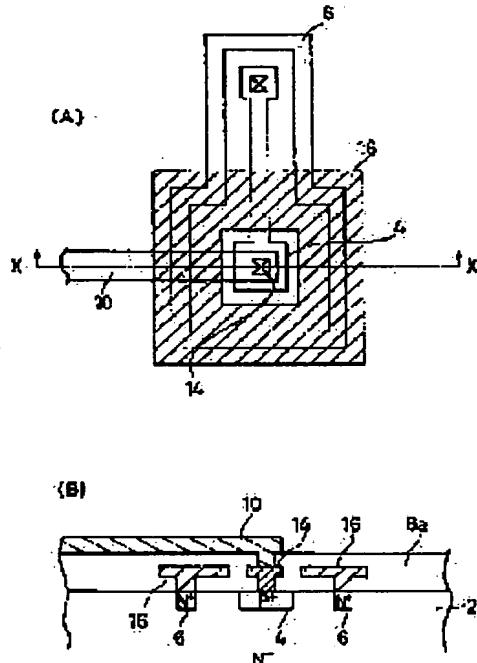
(72)Inventor : HANSHIMOSEKI MAKOTO
YOSHII KOJI

(54) INPUT/OUTPUT PROTECTING DEVICE

(57)Abstract:

PURPOSE: To provide the structure, which can make an input/output protecting device compact, can improve the electrostatic-breakdown strength and can prevent the large cost increase.

CONSTITUTION: A metal layer 16, which covers the vicinity of an isolation layer 6 on the surface of a substrate between the contact part of a protecting resistor 4 and the isolation layer 6, is provided at the upper side of the isolation layer 6. The metal layer 16 is electrically connected to the isolation layer 6 and embedded in an insulating film 8a. The metal layer 16 prevents the generation of an electric field on the surface of the substrate between the protecting resistor 4 and the isolation layer 6 and prevents the electrostatic breakdown.



LEGAL STATUS

[Date of request for examination] 21.12.1998

[Date of sending the examiner's decision of rejection] 12.12.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平6-169061

(43)公開日 平成6年(1994)6月14日

(51)Int.Cl.⁵

H 01 L 27/04
27/06

識別記号 庁内整理番号

H 8427-4M

F I

技術表示箇所

9170-4M

H 01 L 27/ 06

3 1 1 A

審査請求 未請求 請求項の数3(全 6 頁)

(21)出願番号

特願平4-27295

(22)出願日

平成4年(1992)1月17日

(71)出願人 000006747

株式会社リコー

東京都大田区中馬込1丁目3番6号

(72)発明者 半下石 誠

東京都大田区中馬込1丁目3番6号 株式会社リコー内

(72)発明者 吉井 宏治

東京都大田区中馬込1丁目3番6号 株式会社リコー内

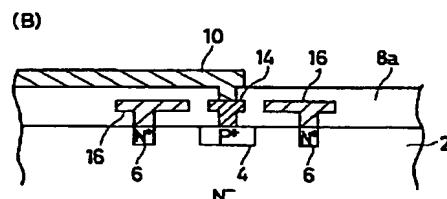
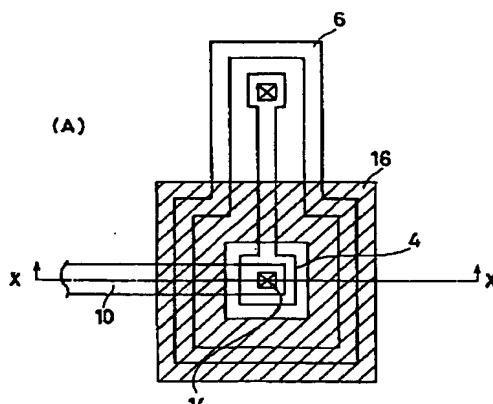
(74)代理人 弁理士 野口 繁雄

(54)【発明の名称】 入出力保護装置

(57)【要約】

【目的】 入出力保護装置を小型化し、静電破壊耐量を向上させ、しかも大幅なコスト上昇を招かない構造にする。

【構成】 アイソレーション層6の上方には、保護抵抗4のコンタクト部とアイソレーション層6との間の基板表面のアイソレーション層6付近に被うメタル層16が設けられ、このメタル層16はアイソレーション層6と電気的に接続されており、絶縁膜8aに埋め込まれている。メタル層16は、メタル配線10に生じたサージによって保護抵抗4とアイソレーション層6との間の基板表面に電界が発生するのを防いで静電破壊を防ぐ。



【特許請求の範囲】

【請求項1】 基板表面で第1導電型拡散層による入力保護抵抗の周囲が第2導電型拡散層によるアイソレーション層で囲まれており、前記アイソレーション層と前記入力保護抵抗との間の基板表面の少なくとも一部が導電体層で被われている入出力保護装置。

【請求項2】 前記アイソレーション層と前記導電体層が電気的に接続されている請求項1に記載の入出力保護装置。

【請求項3】 前記アイソレーション層と前記導電体層が電気的に絶縁され、前記導電体層が一定電位に固定されている請求項1に記載の入出力保護装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は静電破壊耐量を向上させた入出力保護装置に関するものであり、例えばCMOS半導体装置の入力保護装置として、又は電源電圧以上の高電圧がかかる端子の保護装置などとして利用されるものに関するものである。

【0002】

【従来の技術】 従来の入力保護抵抗の一例を図3に示す。N型シリコン基板2の表面に保護抵抗4がP型拡散層として形成されており、基板表面で保護抵抗4の周囲にはN型拡散層によるアイソレーション層6が保護抵抗4を取り囲むように形成されている。基板表面を被ってフィールド酸化膜8が形成され、フィールド酸化膜8に設けられたコンタクトホールを介してパッドにつながるメタル配線10が保護抵抗4に接続されている。12は抵抗4とメタル配線10を接続するコンタクトである。

【0003】 この入力保護抵抗では、静電破壊耐圧は入力ピンや出力ピンが電源ピンや接地ピンに対して正バイアスされるか負バイアスされるかによって異なる。保護抵抗4が基板2に対して逆バイアスされる場合の静電破壊耐量が最も小さい。このときの静電破壊耐量は、保護抵抗4を形成する拡散層が基板2に対して逆バイアスされるため、この接合の逆バイアスサージ電流耐圧により決まる。特に、メタル配線10の電位によって基板表面に反転層ができやすい。実際に破壊は保護抵抗4のコンタクト部とアイソレーション6の間の基板表面で起こり、静電破壊耐量を向上させるためには基板表面での電界集中を避けるための構造とする必要がある。その対策の一つは保護抵抗4のコンタクト部とアイソレーション6の間の基板表面の距離を長くすることであり、これによりある程度改善することができるが、一般には基板表面の距離の増大はパッド間隔の増大となってコスト増加の問題へつながる。

【0004】 そこで、小型で静電破壊耐量の大きな保護抵抗を得るために、基板内部に表面放電電圧よりも小さなブレークダウン電圧を有する接合を形成することにより、バルク内で電流を流し、静電破壊耐量の向上を図る

入力保護装置が提案されている（特公昭64-10944号公報参照）。

【0005】

【発明が解決しようとする課題】 引用例で提案された入力保護装置では、拡散層を追加する必要があるため、プロセス工期が長くなり、またレイアウト面積が大きくなる欠点がある。その結果、コスト上昇を招く。本発明は小型化できるとともに静電破壊耐量を向上させることができ、しかも大幅なコスト上昇を招かない簡単な構造の

10 入出力保護装置を提供することを目的とするものである。

【0006】

【課題を解決するための手段】 本発明の入出力保護装置では、基板表面で第1導電型拡散層による入力保護抵抗の周囲が第2導電型拡散層によるアイソレーション層で囲まれて、アイソレーション層と入力保護抵抗との間の基板表面の少なくとも一部が導電体層で被われている。好ましい一態様では、アイソレーション層と前記導電体層が電気的に接続されている。好ましい他の態様では、アイソレーション層と前記導電体層が電気的に絶縁され、前記導電体層が一定電位に固定されている。

【0007】

【実施例】 図1は一実施例を表わす。図3と同一の部分には同一の符号を用いる。N型シリコン基板2の表面にP型拡散層にてなる保護抵抗4が形成されており、保護抵抗4の周囲にN型拡散層にてなるアイソレーション層6が形成されている。ここまで構造は図3と同じである。基板2上には絶縁膜8aが形成され、絶縁膜8a上にはパッドにつながるメタル配線10が形成され、その30 メタル配線10と保護抵抗4を接続するために絶縁膜8aにはコンタクトホールが形成され、そのコンタクトホールではメタル層14を介してメタル配線10と保護抵抗4が接続されている。

【0008】 アイソレーション層6の上方には、保護抵抗4のコンタクト部とアイソレーション層6の間の基板表面のアイソレーション層6付近を被うメタル層16が設けられ、このメタル層16はアイソレーション層6と電気的に接続されており、絶縁膜8aに埋め込まれている。メタル層16はアイソレーション層6の内側の基板表面の全領域を被っているわけではなく、保護抵抗4のコンタクト部の周囲の基板表面上を主として被っている。しかし、メタル層16はアイソレーション層6の内側の全基板表面上を被っていてもよい。

【0009】 メタル層14、16は例えばアルミニウムやアルミニウムにわずかなシリコンなどを含有したアルミニウム合金である。メタル層14、16は低抵抗化された多結晶シリコン層に置き換えることもできる。図1の実施例では、メタル層16は、入力パッドからメタル配線10に生じたサージによって保護抵抗4とアイソレーション層6の間の基板表面に電界が発生するのを防い

で静電破壊を防いでいる。

【0010】次に、図1の実施例を製造する方法について説明する。シリコン基板2に保護抵抗4とアイソレーション層6を形成した後、基板表面をフィールド酸化膜で被う。フィールド酸化膜にはコンタクト14が形成される領域とアイソレーション層6上の領域にコンタクトホールを形成する。メタル層を堆積し、写真製版とエッチングによりパターン化を施して、コンタクト用メタル層14とメタル層16を形成する。

【0011】次に、全面をCVD法により絶縁膜で多い、その絶縁膜にはコンタクト14上にコンタクトホールを形成する。その後、全面にメタル層を堆積し、写真製版とエッチングによりメタル配線10を形成して、メタル層14を介してメタル配線10と保護抵抗4とを接続する。図1の実施例ではメタル層16はアイソレーション層6と電気的に接続されているが、メタル層6とアイソレーション層16は絶縁されていてもよい。

【0012】図2は第2の実施例を表わす。図1の実施例と比較すると、絶縁層8aに埋め込まれているメタル層16はアイソレーション層6とは絶縁されており、かつアイソレーション層16は一体的に形成された配線18を介して固定電位、例えば電源電位に固定されている。図2の実施例は図1の実施例と同じ効果をもつほか、メタル配線10に正のサージが印加された場合、保護抵抗4の拡散層をソース、メタル配線16をゲート、近くに存在するP型アイソレーション層18をドレインとする寄生フィールドMOSトランジスタがオンとなって電荷を逃す。これにより、内部回路を破壊から保護する働きをもつ。実施例で、基板2として表現されている部分はエピタキシャル層である場合も含んでいい。

【0013】

【発明の効果】本発明では保護抵抗の周囲を取り囲むアイソレーション層の上部、アイソレーション層と保護抵抗との間の基板表面の少なくとも一部を被うように導電体層を形成したので、アイソレーション層と保護抵抗との間の基板表面に電界が集中するのを避けることができて静電破壊耐量が大きくなり、また、アイソレーション層と保護抵抗との間の距離を短かくしても静電破壊耐量を大きく維持することができるので、保護装置全体を小型化することができ、ひいては低コスト化することができる。

10 また、本発明の入出力保護装置は電源電圧以上の高い電圧がかかる端子としても用いることができ、その場合に保護抵抗からアイソレーション層への表面リークを抑えることができる。

【図面の簡単な説明】

【図1】第1の実施例を示す図であり、(A)は概略平面図、(B)は(A)のX-X線位置での断面図である。

【図2】第2の実施例を示す図であり、(A)は概略平面図、(B)は(A)のY-Y線位置での断面図である。

20 【図3】従来の入力保護装置を示す図であり、(A)は概略平面図、(B)は(A)のZ-Z線位置での断面図である。

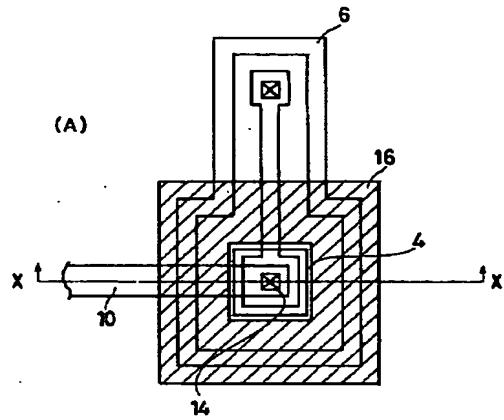
【符号の説明】

4	保護抵抗
6	アイソレーション層
8a	絶縁膜
10	メタル配線
14	コンタクト用メタル層
30 16	アイソレーション層付近の基板上部を被うメタル層

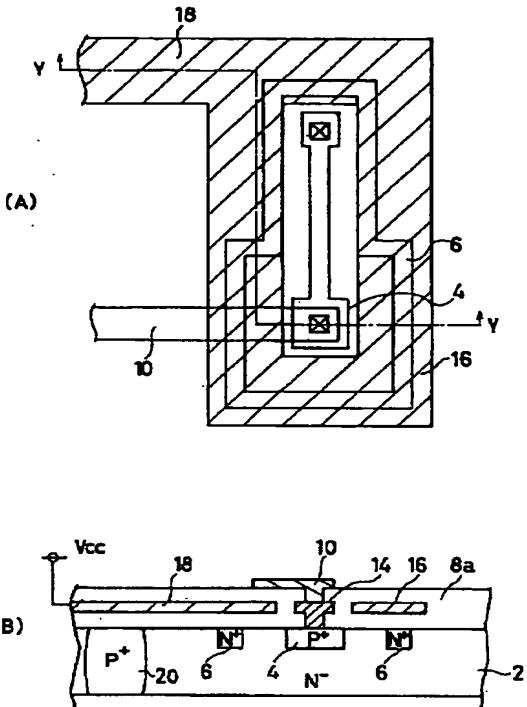
(4)

特開平6-169061

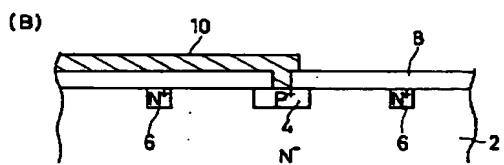
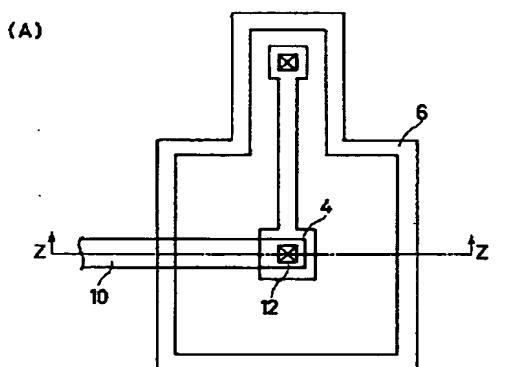
【図1】



【図2】



【図3】



【手続補正書】

【提出日】平成5年4月7日

【手続補正1】

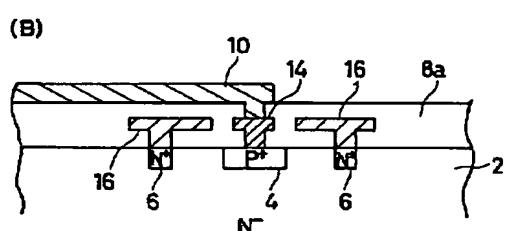
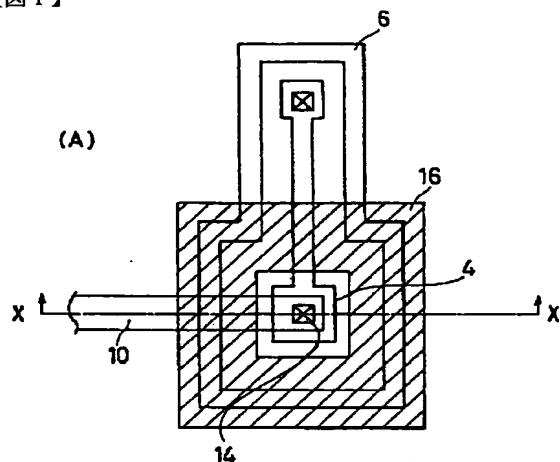
【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】



【手続補正2】

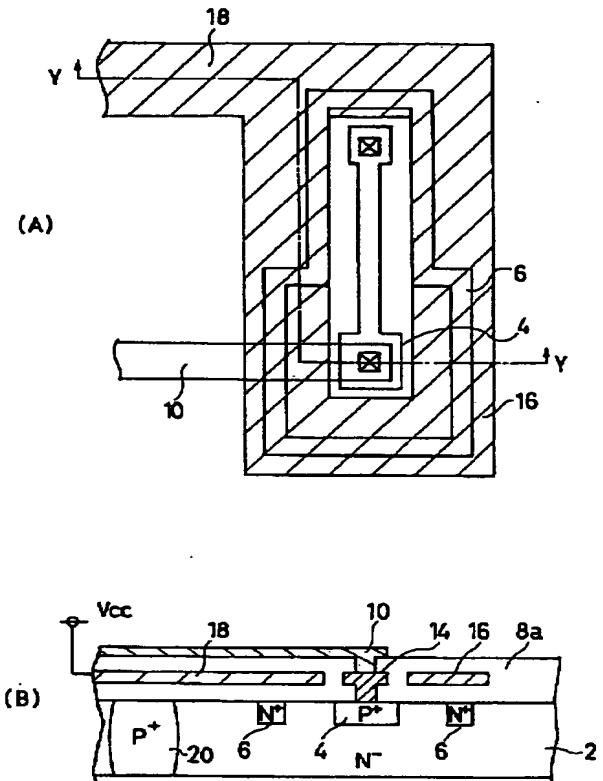
【補正対象書類名】図面

【補正対象項目名】図2

【補正方法】変更

【補正内容】

【図2】



【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0003

【補正方法】変更

【補正内容】

【0003】この入力保護抵抗では、静電破壊耐圧は入力ピンや出力ピンが電源ピンや接地ピンに対して正バイアスされるか負バイアスされるかによって異なる。保護抵抗4が基板2に対して逆バイアスされる場合の静電破壊耐量が最も小さい。このときの静電破壊耐量は、保護抵抗4を形成する拡散層が基板2に対して逆バイアスされるため、この接合の逆バイアスサージ電流耐量により決まる。特に、メタル配線10の電位によって基板表面に反転層ができやすい。実際に破壊は保護抵抗4のコンタクト部とアイソレーション6の間の基板表面で起こり、静電破壊耐量を向上させるためには基板表面での電界集中を避けるための構造とする必要がある。その対策の1つは保護抵抗4のコンタクト部とアイソレーション6の間の基板表面の距離を長くすることであり、これによりある程度改善することができるが、一般には基板表面の距離の増大はパッド間隔の増大となってコスト増加の問題へつながる。

【手続補正書】

【提出日】平成5年8月9日

【手続補正1】

【補正対象書類名】図面

【補正対象項目名】図1

【補正方法】変更

【補正内容】

【図1】

